Form PCT/IB/306 (March 1994)

	From the INTERNATIONAL BUREAU
PCT	То:
NOTIFICATION OF THE RECORDING OF A CHANGE (PCT Rule 92bis.1 and Administrative Instructions, Section 422) Date of mailing (day/month/year)	SKUHRA, Udo Reinhard.Skuhra.Weise Friedrichstrasse 31 80801 München ALLEMAGNE Frist Frist Ephrhægæng a n g e Reinhard - Skuhra • Weise - 7. Mårz 2001
22 February 2001 (22.02.01)	
Applicant's or agent's file reference 99P1077P SO383/GC International application No. PCT/DE00/00021	IMPORTANT NOTIFICATION International filing date (day/month/year) 03 January 2000 (03.01.00)
The following indications appeared on record concerning: the applicant	the agent the common representative State of Nationality State of Residence
Name and Address INFINEON TECHNOLOGIES AG Zedlitz, Peter Postfach 22 13 17 D-80503 München Germany	Telephone No. (089) 636-82819 Facsimile No. (089) 636-81857 Teleprinter No.
2. The International Bureau hereby notifies the applicant that to X the person X the name X the add	the nationality State of Residence
Name and Address SKUHRA, Udo Reinhard.Skuhra.Weise & Partner GbR Friedrichstrasse 31 80801 München Germany	Telephone No. (089) 38 16 100 Facsimite No. (089) 340 14 79 Teleprinter No.
3. Further observations, if necessary:	
4. A copy of this notification has been sent to: X the receiving Office the International Searching Authority the International Preliminary Examining Authority	the designated Offices concerned X the elected Offices concerned other:
The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	V. Gross Telephone No.: (41-22) 338.83.38

BEST AVAILABLE COPY

From th INTERNATIONAL BUREAU

NOTIFICATION CONCERNING SUBMISSION OR TRANSMITTAL OF PRIORITY DOCUMENT

(PCT Administrative Instructions, Section 411)

INFINEON TECHNOLOGIES AG . Zedlitz, Peter . Postfach 22 13 17 : D-80503 München ALLEMAGNE

Date of mailing (day/month/year) 23 March 2000 (23.03.00)	
Applicant's or agent's file reference	IMPORTANT NOTIFICATION
International application No. PCT/DE00/00021	International filing date (day/month/year) 03 January 2000 (03.01.00)
International publication date (day/month/year) Not yet published	Priority date (day/month/year) 21 January 1999 (21.01.99)

Applicant

INFINEON TECHNOLOGIES AG et al

- The applicant is hereby notified of the date of receipt (except where the letters "NR" appear in the right-hand column) by the International Bureau of the priority document(s) relating to the earlier application(s) indicated below. Unless otherwise indicated by an asterisk appearing next to a date of receipt, or by the letters "NR", in the right-hand column, the priority document concerned was submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b).
- 2. This updates and replaces any previously issued notification concerning submission or transmittal of priority documents.
- 3. An asterist(*) appearing next to a date of receipt in the right-hand column, denotes a priority document submitted or transmitted to the International Bureau but not in compliance with Rule 17.1(a) or (b). In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity. Upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.
- The letters "NR" appearing in the right-hand column denote a priority document which was not received by the International Bureau or which the applicant did not request the receiving Office to prepare and transmit to the International Bureau, as provided by Rule 17.1(a) or (b), respectively. In such a case, the attention of the applicant is directed to Rule 17.1(c) which provides that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity, upon entry into the national phase, to furnish the priority document within a time limit which is reasonable under the circumstances.

Date of receipt Country or regional Office Priority application No. Priority date or PCT receiving Office

of priority document

09 Marc 2000 (09.03.00) DE 199 02 335.2 21 Janu 1999 (21.01.99)

> The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland

Authorized officer

Jocelyne Rey-Millet

Telephone No. (41-22) 338.83.38

VERTRAG ÜBER E INTERNATIONALE ZUSAMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

REC'D 26 APR 2001

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT.

(Artikel 36 und Regel 70 PCT)

			(Altikel 00 dild	i logo.	, , , ,		
Aktenzeich		s Anmelders oder Anwalts	WEITERES VORGE	EHEN		lung über die Übersendung des internationalen Prüfungsberichts (Formblatt PCT/IPEA/416)	
			Internationales Anmelded	tatum/Tag	Monat/ Jahr)	Prioritätsdatum (Tag/Monat/Tag)	
		ktenzeichen	03/01/2000	atum ray	wionavsam)	21/01/1999	
PCT/DE						21/01/1999	
	internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK H03K5/13						
Anmelder							
INFINE	ON TE	ECHNOLOGIES AG et	al.				
		rnationale vorläufige Prü rstellt und wird dem Anm				onalen vorläufigen Prüfung beauftragten	
2. Dies	er BEF	RICHT umfaßt insgesamt	6 Blätter einschließlich	dieses D	eckblatts.		
1 ,	Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).						
Dies	e Anla	gen umfassen insgesam	t 1 Blätter.				
1 11 IV V		Keine Erstellung eines Mangelnde Einheitlichk Begründete Feststellun gewerblichen Anwendb	Gutachtens über Neuhe eit der Erfindung g nach Artikel 35(2) hins arkeit; Unterlagen und E	sichtlich d	er Neuheit,	gkeit und gewerbliche Anwendbarkeit , der erfinderischen Tätigkeit und der zung dieser Feststellung	
VI		Bestimmte angeführte					
VII	×	•	internationalen Anmeldu	_			
VIII		Bestimmte Bemerkung	en zur internationalen A	nmeldung			
Datum dei	Einrei	chung des Antrags		Datum de	r Fertigstellu	ing dieses Berichts	
21/08/20	000			23.04.2001			
	eauftra	nschrift der mit der internatio gten Behörde:	nalen vorläufigen	Bevollmä	chtigter Bedi	ensteter Sprice Mining	
)	D-8	opäisches Patentamt 0298 München +49 89 2399 - 0 Tx: 523656	6 epmu d	Moll, P			
	Fax	: +49 89 2399 - 4465		Tel. Nr. +	49 89 2399 2	2197	

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE00/00021

I.	Gru	ındlag d sB ric	hts						
1.	Hinsichtlich der Bestandteile der internationalen Anmeldung (<i>Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigefügt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)): Beschreibung, Seiten:</i>								
	1-7		ursprüngliche Fassung						
	Pate	entansprüche, Nr	.:						
	1,2		eingegangen am	23/03/2001	mit Schreiben vom	22/03/2001			
	Zeid	chnungen, Blätter	:						
	1/5-	-5/5	ursprüngliche Fassung						
2.	die i unte	internationale Anm er diesem Punkt nic	he: Alle vorstehend genannter leldung eingereicht worden ist, chts anderes angegeben ist.	zur Verfügung	oder wurden in diese	er eingereicht, sofern			
		Bestandteile stand gereicht; dabei han	den der Behörde in der Sprach delt es sich um	e: zur Verfügu	ng bzw. wurden in di	eser Sprache			
		die Sprache der Ü Regel 23.1(b)).	Übersetzung, die für die Zweck	e der internatio	nalen Recherche ein	gereicht worden ist (nach			
		die Veröffentlichu	ngssprache der internationale	n Anmeldung (n	ach Regel 48.3(b)).				
			Übersetzung, die für die Zweck 5.2 und/oder 55.3).	e der internatio	nalen vorläufigen Pri	üfung eingereicht worden			
3.			internationalen Anmeldung off ge Prüfung auf der Grundlage						
		in der internationa	alen Anmeldung in schriftlicher	Form enthalten	ı ist.				
			r internationalen Anmeldung i			t worden ist.			
					_				

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den

Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen

Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

Sequenzprotokoll entsprechen, wurde vorgelegt.

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

Internationales Aktenzeichen PCT/DE00/00021

		Beschreibung,	Seiten:						
		Ansprüche,	Nr.:						
		Zeichnungen,	Blatt:						
5.	Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).								
		(Auf Ersatzblätter, die beizufügen).	e solche Änderu	ıngen enthaltei	n, ist unter Punkt 1 hinzuweisen;sie sind	d diesem Bericht			
6.	Etwa	aige zusätzliche Beme	erkungen:						
V.					lich der Neuheit, der erfinderischen T rungen zur Stützung dieser Feststell				
1.	Fest	stellung		-					
	Neu	heit (N)	Ja: Neir	Ansprüche : Ansprüche	1,2				
	Erfin	iderische Tätigkeit (E ⁻	•	Ansprüche : Ansprüche	1,2				
	Gew	verbliche Anwendbark	• •	Ansprüche : Ansprüche	1,2				

2. Unterlagen und Erklärungen siehe Beiblatt

VII. Bestimmte Mängel der internationalen Anmeldung

Es wurde festgestellt, daß die internationale Anmeldung nach Form oder Inhalt folgende Mängel aufweist: siehe Beiblatt

VIII. Bestimmte Bemerkungen zur internationalen Anmeldung

Zur Klarheit der Patentansprüche, der Beschreibung und der Zeichnungen oder zu der Frage, ob die Ansprüche in vollem Umfang durch die Beschreibung gestützt werden, ist folgendes zu bemerken: siehe Beiblatt

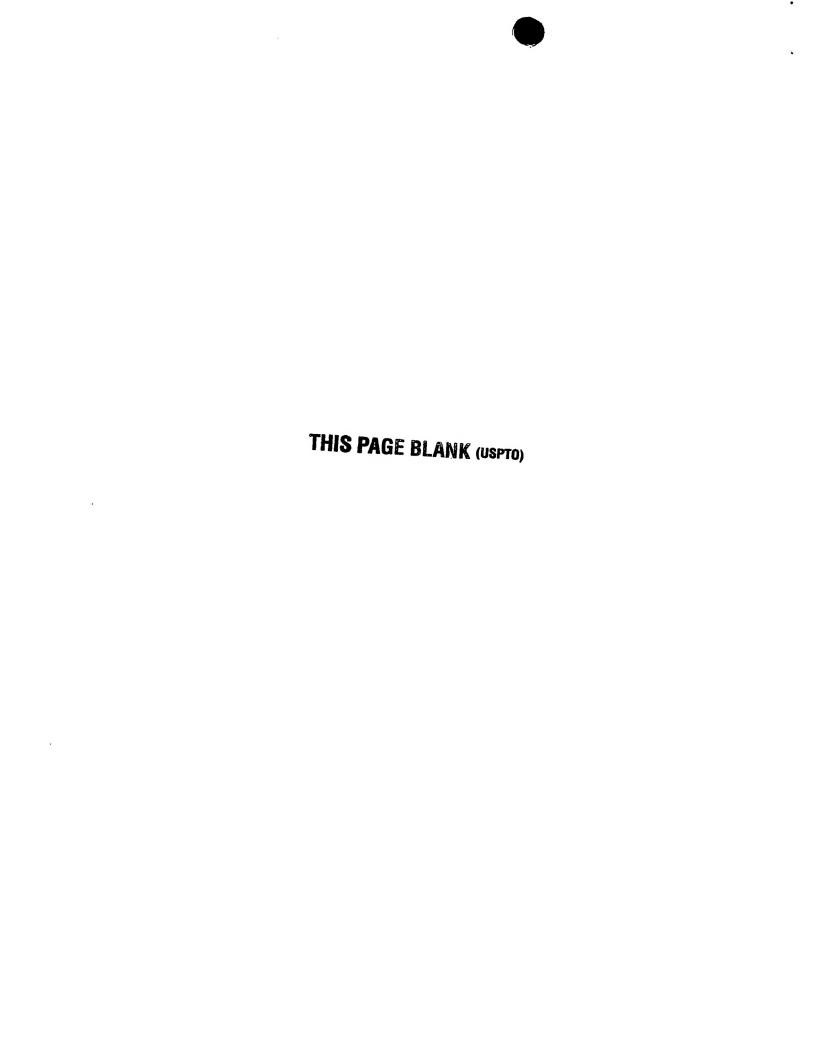
Zu Punkt VIII

Anspruch 1 in seiner vorliegenden Fassung bedarf der Klarstellung und Interpretation im Lichte des Ausführungsbeispiels.

In Zeilen 22, 23 des Anspruches 1 wird der Eindruck erweckt, der digitale Phasendetektor werde von der Einrast-Detektionsschaltung aktiviert, wenn der Phasenfehler einen bestimmten Wert überschreite. Dies ist jedoch in den ursprünglich eingereichten Unterlagen so nicht offenbart; vielmehr steht diese Formulierung im Widerspruch zum Ausführungsbeispiel: In den vorliegenden Anmeldungsunterlagen gibt es keinen Hinweis darauf, daß der digitale Phasendetektor zu irgendeinem Zeitpunkt deaktiviert sei. Nur dann würde das die "Aktivierung" betreffende Merkmal Sinn machen. Im Gegenteil ist es doch gerade der digitale Phasendetektor, dessen Ausgangssignal der Einrast-Detektionsschaltung zugeführt wird, welche dann über Aktivierung und Deaktivierung das analogen Phasendetektors entscheidet. Eine Deaktivierung des analogen Phasendetektors (Zeilen 21, 22 des Anspruches 1) setzt daher einen aktiven digitalen Phasendetektor voraus. Desweiteren ist unklar (Zeile 18 des Anspruches 1), wie denn der analoge Phasendetektor das Ausgangstaktsignal des Oszillators stufenlos regeln könne, wenn es sich doch bei dem besagten Oszillator definitionsgemäß (Zeilen 5 des Anspruches 1) um einen digital ansteuerbaren Oszillator handelt.

Für die Zwecke dieses Prüfungsberichtes wird somit von einem folgendermaßen klargestellten Anspruch 1 ausgegangen:

- in Zeile 18 wird das Wort "stufenlos" als gestrichen betrachtet,
- in Zeilen 22, 23 wird der Satzteil "und den digitalen Phasendetektor (1) aktiviert" als gestrichen betrachtet, und
- in Zeile 23 wird der Einschub "durch den Zählerstand angegebene" als zwischen den Worten "der" und "Phasenfehler" eingefügt betrachtet. Letztere Änderung ist erforderlich, um einen zweifelsfreien Bezug auf den gemäß Zeile 16 des Anspruches von der Einrast-Detektionsschaltung ausgewerteten Phasenfehler zu etablieren.



Zu Punkt V

Es wird auf die folgenden Dokumente verwiesen:

PATENT ABSTRACTS OF JAPAN vol. 014, no. 396 (E-0970), 27. D(1):

August 1990 (1990-08-27) -& JP 02 149018 A (NEC ENG LTD), 7. Juni

1990 (1990-06-07)

D(2): US-A-4 864 253

Aus Dokument D(1) ist ein elektronischer Phasenregelkreis zur jittergedämpften Erzeugung eines zu einem Referenztaktsignal (fin) phasensynchronen Ausgangstaktsignals (fout) bekannt, mit

- einem digitalen Phasendetektor (1b), der ein Ausgangstaktsignal (fout) eines digital ansteuerbaren Oszillators (4, 5) mit einem Referenztaktsignal (fin) vergleicht und der über ein Filter (3) und eine Ansteuerschaltung (3) das Ausgangstaktsignal des Oszillators (4, 5) digital einstellt, und mit
- einer Einrast-Detektionsschaltung (2, 3), wobei die Einrast-Detektionsschaltung (2, 3) zur Vermeidung eines Phasen-Quantisierungsfehlers eine analoge Phasenregelschleife mit einem analogen Phasendetektor (1a) aktiviert, wobei der analoge Phasendetektor (1a) das Ausgangstaktsignal des Oszillators (4, 5) regelt bis die Taktsignalflanke des Ausgangstaktsignals (fout) und des Referenztaktsignals (fin) völlig synchron sind, wobei die Einrast-Detektionsschaltung (2, 3) die analoge Phasenregelschleife deaktiviert, wenn der vom digitalen Phasendetektor (1b) festgestellte Phasenfehler zwischen dem Ausgangstaktsignal (fout) und dem Referenztaktsignal (fin) einen bestimmten Phasenfehler überschreitet, vgl. D(1), Figur 1 sowie Abstract "CONSTITUTION".

Der Gegenstand des Anspruches 1 unterschiedet sich von dem aus D(1) Bekannten im wesentlichen durch

- a) die Verwendung eines PI-Filters
- b) die diskrete Angabe des Phasenfehlers durch den Zählerstand eines Zählers
- die Aktivierung des analogen Phasendetektors über eine Leitung, wenn der C) durch den Zählerstand angegebene Phasenfehler zwischen dem Ausgangstaktsignal und dem Referenztaktsignal Null ist,

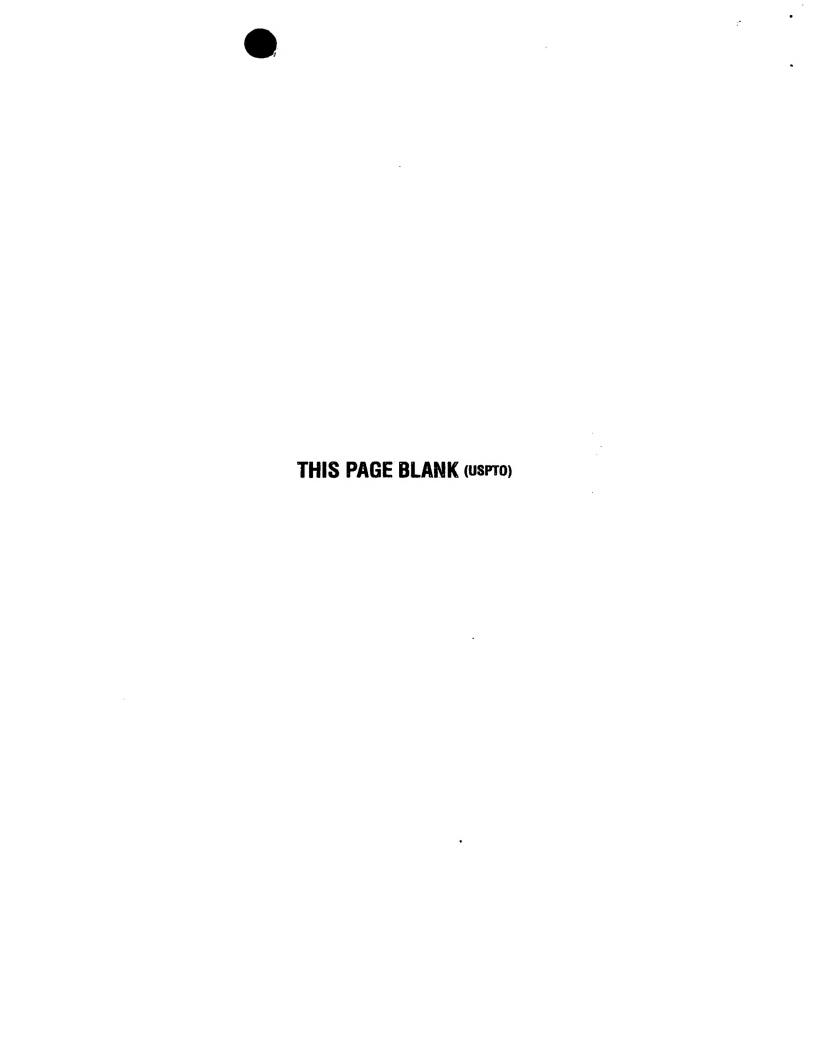
die Deaktivierung der analogen Phasenregelschleife durch Deaktivierung d) des analogen Phasendetektors.

Merkmale a) und b) sind an sich aus Dokument D(2) bekannt, vgl. in D(2), Figur 1, das PI-Filter (PIF) sowie den den Phasenfehler angebenden Zählerstand des Zählers (Z). Merkmale c) und d) sind durch den verfügbaren Stand der Technik weder vorweggenommen, noch durch diesen nahegelegt. Neuheit und erfinderische Tätigkeit liegen somit vor. Die gewerbliche Anwendbarkeit des Erfindungsgegenstandes steht nicht in Zweifel.

Zu Punkt VII

Im Widerspruch zu den Erfordernissen der Regel 5.1 a) ii) PCT werden in der Beschreibung weder der in den Dokumenten D(1) und D(2) offenbarte einschlägige Stand der Technik noch diese Dokumente angegeben.

Die Beschreibung steht nicht, wie in Regel 5.1 a) iii) PCT vorgeschrieben, in Einklang mit den Ansprüchen (vgl. insbesondere Seite 3, Zeilen 16-19).



Neue Patentansprüche

- 1. Elektronischer Phasenregelkreis (PLL) zur jittergedämpften Erzeugung eines zu einem Referenztaktsignal phasensynchronen hochfrequenten Ausgangstaktsignals mit: einem digitalen Phasendetektor (1), der ein Ausgangstaktsignal eines digital ansteuerbaren Oszillators (9) mit einem Referenztaktsignal vergleicht und der über ein PI-Filter (10) und eine Ansteuerschaltung (8) das Ausgangstaktsignal des Oszillators (9) digital einstellt bis der Phasenfehler zwischen dem Ausgangstaktsignal und dem Referenztaktsignal, der durch einen Zählerstand eines Zählers (3) diskret angegeben wird, Null ist, und mit einer Einrast-Detektionsschaltung (4), wobei die Einrast-Detektionsschaltung (4) zur Vermeidung eines Phasen-Quantisierungsfehlers einen analogen Phasendetektor (2) über eine Leitung aktiviert, wenn der durch den Zählerstand angegebene Phasenfehler Null ist, wobei der aktivierte analoge Phasendetektor (2) das Ausgangstaktsignal des Oszillators (9) stufenlos regelt bis die Taktsignalflanke des Ausgangstaktsignals und des Referenztaktsignals völlig synchron sind, wobei die Einrast-Detektionsschaltung (4) den analogen Phasendetektor deaktiviert und den digitalen Phasendetektor (1) aktiviert, wenn der Phasenfehler zwischen dem Ausgangstaktsignal und dem Referenztaktsignal einen bestimmten Phasenfehler überschreitet.
- 2. Elektronischer Phasenregelkreis nach Anspruch 1, dad urch gekennzeichnet, dass das PI-Filter (10) eine integrale Regelung (5), eine lineare Regelung (6) und eine Addier- und Verstärkerstufe (7) aufweist, die von dem analogen Phasendetektor (2) über eine Leitung angesteuert wird.

PCT WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

WO 00/43849 (51) Internationale Patentklassifikation 7: (11) Internationale Veröffentlichungsnummer: **A2 G06F** (43) Internationales

PCT/DE00/00021 (21) Internationales Aktenzeichen:

3. Januar 2000 (03.01.00) (22) Internationales Anmeldedatum:

(30) Prioritätsdaten: 199 02 335.2 21. Januar 1999 (21.01.99) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): INFI-NEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HART, Siegfried [DE/DE]; Mitterweg 7, D-83620 Kleinhöhenrain (DE). WERKER, Heinz [DE/DE]; Ringstrasse 10, D-82386 Huglfing (DE).

(74) Gemeinsamer Vertreter: INFINEON TECHNOLOGIES AG; Zedlitz, Peter, Postfach 22 13 17, D-80503 München (DE). (81) Bestimmungsstaaten: CN, JP, KR, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht

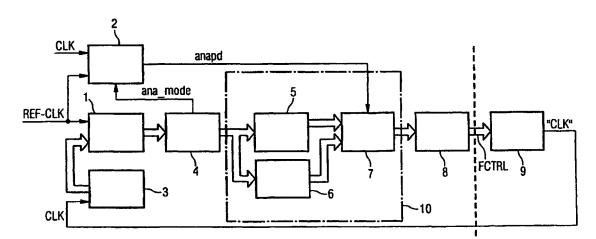
Veröffentlichungsdatum:

Ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts.

27. Juli 2000 (27.07.00)

(54) Title: ELECTRONIC PHASE-LOCKING LOOP (PLL)

(54) Bezeichnung: ELEKTRONISCHER PHASENREGELKREIS (PLL)



(57) Abstract

The invention relates to an electronic phase-locking loop (PLL) with a digital configuration. A supplementary analogue phase detector (APD) with which the phase error ("jitter") can be damped even more effectively than before is added to said phase-locking loop. The inventive PLL is especially suitable for use as an integrated circuit (IC) in service-integrated communications networks (ISDN), data communications or networks.

(57) Zusammenfassung

Der elektronische Phasenregelkreis (PLL) in digitaler Ausbildung wird durch einen zusätzlichen analogen Phasendetektor (APD) ergänzt, womit sich der Phasenfehler ("Jitter") noch besser als bisher bedämpfen läßt. Der PLL findet insbesondere als integrierte Schaltung (IC) seine Anwendung in dienstintegrierten Kommunikationsnetzen (ISDN), Datenkommunikation oder Netzwerken.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AΤ	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland		Republik Mazedonien	TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	ΙE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von
CA	Kanada	IT	Italien	MX	Mexiko		Amerika
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik	NZ	Neuseeland	zw	Zimbabwe
CM	Kamerun		Korea	PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

WO 00/43849 PCT/DE00/00021--

Beschreibung

Elektronischer Phasenregelkreis (PLL)

Die Erfindung betrifft einen elektronischen Phasenregelkreis (PLL) zur jittergedämpften Taktvervielfachung, insbesondere als Teil einer integrierten Schaltung (IC) für dienstintegrierte Kommunikationsnetze (ISDN), Datenkommunikation oder Netzwerke.

10

15

20

25

30

35

Im Stande der Technik ist es üblich, daß die Frequenz so eingestellt wird, daß sie mit einer Referenzfrequenz übereinstimmt. Analoge Schaltungsanordnungen weisen zu diesem Zweck einen steuerbaren Oszillator auf, dessen Ausgangssignal in einem Phasendetektor mit der Referenzfrequenz verglichen wird. Das Ausgangssignal des analogen Phasendetektors wiederum stellt über eine Regelstrecke die Frequenz des steuerbaren Oszillators ein. Eine derartige analoge Schaltungsanordnung ist im allgemeinen schwieriger zu integrieren als eine digitale und benötigt meist zusätzliche Komponenten. Die Regelung ist einigermaßen genau.

Eine digitale Implementierung eines Phasenregelkreises ist einfach zu integrieren, bietet die Möglichkeiten einer schnellen Umsetzung auf neue Technologien durch Einsatz von Synthesewerkzeugen, und ist relativ unabhängig von Schwankungen im Fertigungsprozeß der integrierten Schaltung (IC). Die Regelgenauigkeit läßt sich bis hinunter zur kleinsten Diskretisierungsstufe für die digitale Darstellung der Zahlenwerte erreichen.

Ein Nachteil der bislang üblichen digitalen PLL ist, daß aufgrund der inherenten Quantisierung die PLL in einen sogenannten "Limit Cycle" (Grenzperiode) übergeht, und fortan zwischen einem Phasenfehler von +1, 0 und -1 wechselt; damit weist der erzeugte hochfrequente Takt eine langsame aber unvermeidbare Varianz, "Jitter" genannt, auf.

WO 00/43849 PCT/DE00/00021 -

2

In der Veröffentlichung zur Konferenz "IEEE 1988 CUSTOM INTEGRATED CIRCUITS CONFERENCE", CH2584-1/88/0000-0051, Seiten 9.5.1 bis 9.5.3, ist von Rockwell International Semiconductor Products Division, d.h. von den Autoren Shi & al., eine elektronische Schaltungsanordnung mit der Bezeichnung "Jitter Attenuation Phase Locked Loop using switched capacitor controlled crystal oscillator" beschrieben, die eine Dämpfung des Jitters bewirken soll.

10

5

Es wird ein Phasenregelkreis (PLL) verwendet, der JitterAmplituden bis zu 30 Einheitsintervallen (UI) bei einer Bandbreite von weniger als 2 Hz bedämpft. Die PLL weist einen mit
geschalteten Kondensatoren in drei Frequenzen gesteuerten

Quarzoszillator und einen abwärtszählenden Folgelogik-Phasen/Frequenzdetektor auf. Mit einem dynamischen Variieren der
Ladekapazität wird die Frequenz des Oszillators gemäß dem Arbeitszyklus des Steuersignals justiert. Dabei kommt digitale
CMOS-Technologie zum Einsatz. Diese Technik benötigt keine
komplizierte analoge Schaltung. Die digitale Steuerlogik ist
einfach.

In der DE-A1-39 20 008 ist ein elektronischer Phasenregelkreis (PLL) der Nachrichten- und Datentechnik beschrieben, 25 der einen Phasenvergleicher und einen über eine als Kapazitäts- oder Induktivitätsmatrix ausgebildete Schaltmatrix gesteuerten Oszillator aufweist. Die Frequenz des Oszillators ist über die durch die Toleranzgrenzen der Schaltmatrix begrenzten Genauigkeitswerte dadurch präzise einstellbar, daß 30 mindestens ein Schaltelement, vorzugsweise das geringstwertige, der Schaltmatrix von einem Pulslängenmodulator angesteuert wird. Der Schaltmatrix wird ein von einem Mikroprozessor gebildetes erstes Ausgangssignalbündel zugeführt, und dem Pulslängenmodulator wird mindestens ein weiteres Aus-35 gangssignalbündel aufgebracht. Der Pulslängenmodulator wird mit einem von einem Ausgangssignal des spannungsgesteuerten Oszillators abgeleiteten Takt getaktet, wobei dieser Takt

WO 00/43849 PCT/DE00/00021

3

auch einen Schalter zur Ansteuerung des Schaltelements ansteuert.

Es liegt somit ebenfalls wie bei der PLL nach der oben angesprochenen Veröffentlichung der IEEE-Konferenz eine digitale,
hier noch verfeinerte stufenweise Steuerung des Oszillators
vor, die im übrigen sicherlich mithilft den sogenannten Jitter zu verkleinern, wenn ein solcher "Jitter" auch nicht eigens erwähnt ist.

10

Diesem Stand der Technik gegenüber liegt der Erfindung die Aufgabe zugrunde, in einem elektronischen Phasenregelkreis (PLL) der digitalen Ausführung selbst noch den Jitter der kleinsten digitalen Diskretisierungsstufe zu bedämpfen.

15

Diese Aufgabe wird durch den Gegenstand des unabhängigen Patentanspruchs 1 bzw. 4 erfindungsgemäß gelöst. Weitere Ausgestaltungen sind in den abhängigen Patentansprüchen 2 und 3 gekennzeichnet.

20

25

Gemäß der Erfindung wird ein digitaler, aus Standardzellen synthetisierbarer Phasenregelkreis unter Zuhilfenahme eines analogen Phasendetektors und einer Schaltung zur Lock- (Einrast-) Detektion geschaffen, womit die bisher bestehenden Nachteile der rein digitalen Lösung überwunden werden.

Die Erfindung wird nachstehend in einem Ausführungsbeispiel und anhand der Zeichnungen näher erläutert.

- Fig. 1 zeigt einen Phasenregelkreis PLL mit digitaler Regelung unter erfindungsgemäßer Einbeziehung eines zusätzlichen analogen Phasendetektors APD;
- Fig. 2 veranschaulicht den Verlauf der Ansteuerung des Os-35 zillators DCXO aus der Ansteuerschaltung DCXO-Control innerhalb eines herkömmlichen digitalen PLL;

WO 00/43849 PCT/DE00/00021

4

Fig. 3 zeigt den Jitter im Ausgangssignal des Phasendetektors DPD in einem herkömmlichen digitalen PLL;

- Fig. 4 schematisiert das Arbeiten des analogen Phasendetektors APD im erfindungsgemäßen PLL; und
 - Fig. 5 zeigt eine Darstellung der erfindungsgemäßen Regelung anhand eines Simulationsbeispiels.
- Fig. 1 zeigt das Blockschaltbild des erfindungsgemäß ausgestalteten Phasenregelkreises PLL, bestehend aus zwei Phasendetektoren, nämlich dem digitalen DPD 1 und dem zusätzlichen analogen Phasendetektor APD 2, sowie einem Code-Converter 4, der unter anderem die Lock-Detektion, d.h. Einrast-Detektion,
- übernimmt, einem PI-Filter bezw. PI-Regler 10, der in bekannter Weise aus einer integralen Regelung 5 sowie einer lineraren Regelung 6, sowie einer Addier- und Verstärkerstufe 7 besteht, einer Ansteuerung DCXO-Control 8 für den Oszillator, einem digital steuerbaren Quarzoszillator DCXO 9, sowie einem
- Zähler 3. In dem Beispiel arbeitet der Zähler 3 wie ein Teiler mit dem Divisor 2048, wobei eine beispielhafte 8 Khz Taktfrequenz sich aus der Teilung von 16,384 Mhz durch 2048 ergeben, die neben einer Referenzfrequenz von 8 kHz in den DPD 1 eingespeist werden.

25

- Die Arbeitsweise des digitalen PLL ist wie folgt und in den Figuren 2 und 3 dargestellt, wobei der Referenztakt REF-CLK gegenüber dem Inhalt des Zählers 3 dargestellt ist:
- Bei jeder steigenden Flanke des Referenztaktes (REF-CLK) wird der aktuelle Wert des Zählers 3 im Phasendetektor 1 gespeichert (siehe Fig. 2), und wird über den Code-Converter 4 am PI-Filter 5,6 angelegt. Der Zählerstand ist dabei ein Maß für den Phasenfehler und kann positiv oder negativ sein. Dieser
- quantisierte Phasenfehler wird über das PI-Filter 5,6 dem Oszillator 9 zugeführt, der dadurch entweder verlangsamt oder beschleunigt wird. D.h. im linken Teil von Fig. 2 muß der Os-

WO 00/43849 PCT/DE00/00021 -

5

zillator 9 beschleunigt werden, während er im mittleren Teil synchron mit dem Referenztakt ist. Im rechten Teil der Fig. 2 ist der Oszillator 9 zu schnell und muß verlangsamt werden. Auf diese Weise wird der Nulldurchgang des Zählers 3, der wie ein Taktteiler wirkt, in Richtung der steigenden Flanke des Referenztaktes geregelt. Ist der gefundene Zählerstand gleich null, ist der PLL eingerastet, d.h. der erzeugte hochfrequente Takt und der Referenztakt sind phasensynchron.

- Wie eingangs erwähnt, ist ein Nachteil der digitalen Lösung, wie aus der Simulation in Fig. 3 ersichtlich, daß der PLL in einen sogenannten "Limit Cycle" (Grenzperiode) mit Varianz des Taktes als "Jitter" übergeht.
- 15 Die vorstehend angedeutete Limitierung der Genauigkeit wird durch das erfindungsgemäße Erweitern des bestehenden Phasenregelkreises (PLL) durch den analogen Phasendetektor (2,APD) aufgehoben (siehe Fig. 4). Hat der digitale Phasenregelkreis die beiden Taktflanken soweit synchron geregelt, daß der an 20 den Code-Converter gelegte Phasenfehler null ist, aktiviert eine Einrast-Detektion über eine Leitung "ana mode" den zusätzlichen analogen Phasendetektor APD 2 (siehe auch Fig. 5). Dieser regelt stufenlos, bis beide Taktflanken völlig synchron sind. Dabei sichert der Code-Converter 4 durch Erzeugen 25 einer sogenannten "Doppelnull", um die herumgeregelt wird, daß der APD 2, wenn er aktiviert ist, es auch bleibt. Erst bei größeren Phasendifferenzen wird der analoge Phasendetektor 2 deaktiviert, und es findet eine erneute digitale Grobreglung statt.

Noch zu den Abbildungen im einzelnen:

30

In der Fig. 2 sind über den Werten des Zählers 3 die Verläufe des Referenztaktes REF-CLK aufgetragen. Die linksseitige Darstellung zeigt einen zu langsamen Oszillator DCXO 9. Er sollte beschleunigt werden, d.h. die Kapazitätsladung (CAP LOAD) verringert werden. Die mittlere Darstellung zeigt ei-

WO 00/43849 PCT/DE00/00021-

6

nen DCXO 9 in Synchronisation mit REF-CLK. Die Geschwindigkeit sollte beibehalten werden, d.h. keine Änderung der Kapazität (CAPS). Die rechtsseitige Darstellung veranschaulicht einen zu schnellen DCXO 9. Die Kapazitätsladung sollte vergrößert werden.

Wegen des inherenten "Quantisierungsfehlers" wird der PLL zwischen -1, 0 und +1 springen, und in umgekehrter Reihenfolge.

10

15

20

25

30

35

5

In der Fig. 3 wird im oberen und unteren Schaubild anhand von Simulationsergebnissen gezeigt, wie ein digitaler Phasendetektor 1, DPD arbeitet und sich der Jitter als eine Pendelung manifestiert. In der Abszisse ist die Zählfrequenz bzw. die Zählzeit, und in der Ordinate die Regelamplitude aufgetragen. So ist im Punkt 20 das Ergebnis des digitalen Phasendetektors DDP 1 dargestellt, dessen Ergebnis zwischen -1, 0 und +1 schwankt. Die beiden anderen Kurven zeigen den Verlauf des Ausgangssignals des PI-Filters 10 sowie des Signals FCTRL der Oszillatorsteuerung DCXO-Control 9. Dieser quantisierte Phasenfehler bewirkt eine langsamen Jitter in der Differenz zwischen Takt CLK und Referenztakt REF-CLK, dargestellt im unteren Teil der Fig. 3 durch die mit dem Pfeil mit 22 verbundene Kurve, sowie einen schnellen Jitter im Takt CLK bei 21. Dabei bedeutet V die Differenz und Hz entsprechend die Frequenz.

In der Fig. 4 wird das Arbeiten des erfindungsgemäß zugefügten analogen Phasendetektors 2 dargestellt. Gemäß dem Blockschaltbild wird der analoge Phasendetektor 2 an einem Eingang von der Taktfrequenz aus dem Oszillator 9 und am anderen Eingang vom Referenztakt von 8 kHz beaufschlagt. Das Zählerergebnis und derselbe 8 kHz-Referenztakt werden in den Eingang des digitalen Phasendetektors gespeist, dessen Ausgang mit dem Eingang des Code-Converters 4 verbunden ist. Aus dem Code-Converter 4 geht eine Leitung "ana_mode" auf einen dritten Eingang des analogen Phasendetektors 2. Ein Signal zum

WO 00/43849 PCT/DE00/00021--

7

Verringern der Geschwindigkeit des Oszillators 9 verläßt sodann den analogen Phasendetektor 2.

Die Darstellung der Phasenbeziehungen zeigt im ersten Schaubild ein Voreilen des Taktes DCXO CLK gegenüber dem Referenztakt REF CLK. Hier wird ein Beschleunigen des DCXO 9 benötigt. Im zweiten Schaubild hinkt der Takt DCXO CLK dem Takt REF CLK nach, so daß der DCXO 9 verlangsamt werden muß. Damit werden beide Taktflanken erfindungsgemäß zum Koinzidieren gebracht.

10

In der Fig. 5 ist zu sehen, wie sich die Zeitdifferenz in ns zwischen dem 8 kHz-Eingangstaktsignal und dem 8 kHz-Ausgangstaktsignal darstellt, und wo der analoge Phasendetektor 2 einfällt, worauf dann die Phasendifferenz zwischen den beiden Takten auf annähernd 0 ns verkleinert wird. Abszisse und Ordinate sind entsprechend Fig. 3 eingeteilt. In 22 ist die Zeitdifferenz zwischen dem Ausgangstakt CLK des Oszillators 9 und dem Referenztakt REF-CLK dargestellt, während der analoge Phasendetektor APD 2 einrastet. Ebenso wird in 24 die Differenz zwischen den Takten auf 0 geregelt. Die Skalierung der Frequenz wurde in Fig. 5 weggelassen.

8

Patentansprüche

Elektronischer Phasenregelkreis (PLL) zur jittergedämpften Taktvervielfachung, insbesondere als Teil einer integrierten Schaltung (IC) für dienstintegrierte Kommunikationsnetze (ISDN), Datenkommunikation oder Netzwerke, bei welchem die Frequenz eines steuerbaren Oszillators (9, DCXO) so eingestellt wird, daß sie mit einer Referenzfrequenz (REF CLK) übereinstimmt, wobei das Ausgangssignal des Oszillators (DCXO CLK) in einem digitalen Phasendetektor (1) mit der Referenzfrequenz verglichen wird, und das Ausgangssignal des digitalen Phasendetektors (1) über eine digitale Regelstrecke die Frequenz des Oszillators (9) einstellt,

dadurch gekennzeichnet, daß

der digitale Phasenregelkreis mit einem zusätzlichen analogen
Phasendetektor (2,APD) und einer Einrast-Detektion (4) für
die Aktivierung verschaltet ist.

- Elektronischer Phasenregelkreis (PLL) nach Anspruch 1,
 dadurch gekennzeichnet, daß der digitale Phasenregelkreis aus einem digitalen Phasendetektor (1), einem Code-Converter (4), einem PI-Filter (10), einer Ansteuerschaltung (8, DCXO-Control) für den Oszillator (9), dem als digital steuerbarer Quarzoszillator ausgebildeten Oszillator (9, DCXO), und einem Zähler (3) besteht, wobei die Einrast-Detektion vom Code-Converter (4) übernommen wird.
- 3. Elektronischer Phasenregelkreis (PLL) nach den Ansprüchen 1 oder 2, gekennzeichnet durch eine derartige
 30 Ausgestaltung, daß beim Übergang des digitalen Phasenregelkreises in eine Grenzperiode (Limit-Cycle) mit einem zwischen den Werten +1, 0 und -1 wechselnden Phasenfehler, genannt Jitter, die Limitierung der Genauigkeit durch den zusätzlichen analogen Phasendetektor (2) aufgehoben wird, wobei die Einrast-Detektion über eine Leitung (10, "ana_mode") den analogen Phasendetektor (2) aktiviert, der daraufhin beide Takt-

WO 00/43849 PCT/DE00/00021 -

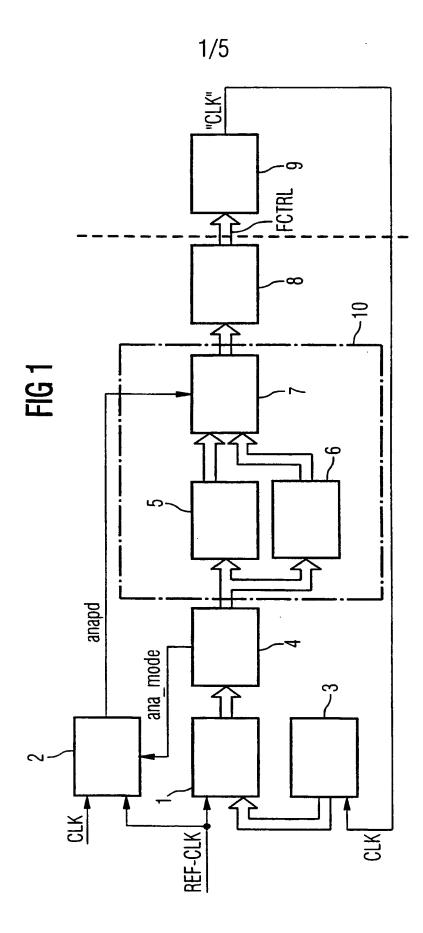
9

flanken des Jitters stufenlos regelt, bis diese Taktflanken miteinander synchron sind.

4. Integrierte Schaltung (IC) mit einem elektronischen Pha-5 senregelkreis (PLL) der Ansprüche 1, 2 oder 3.

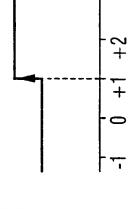
				۴
				v
	,			
		*		
			9	
				٠
				5
				4

WO 00/43849 PCT/DE00/00021 --



O

	Ŷ U
•	
	\$ ^-



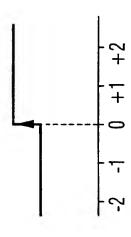
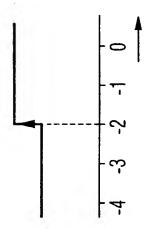
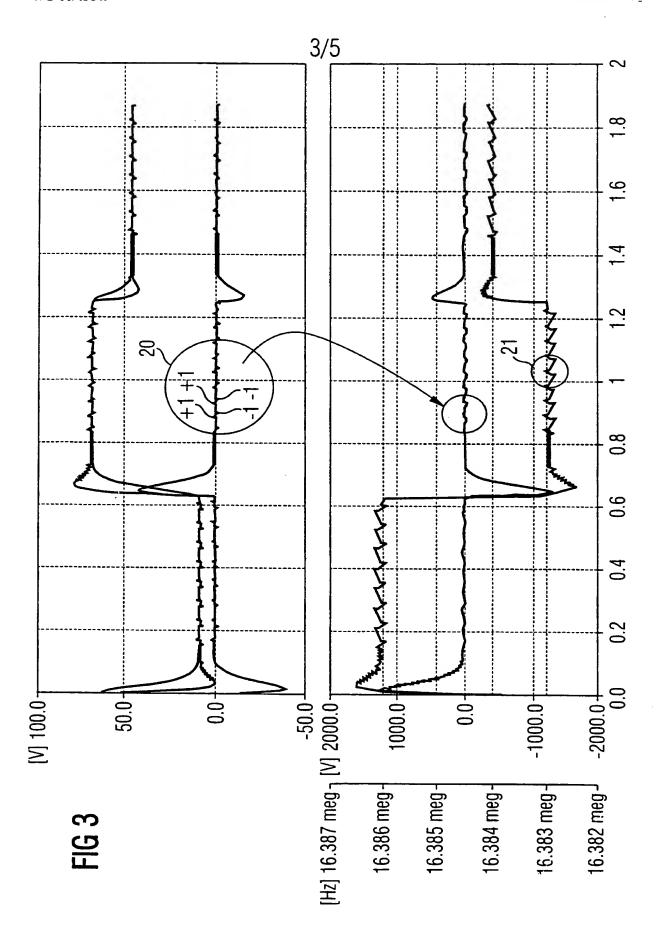


FIG 2



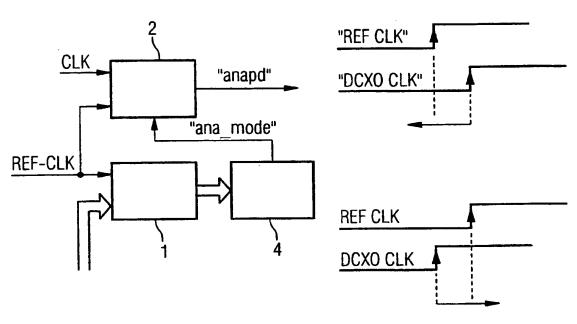
٧
•

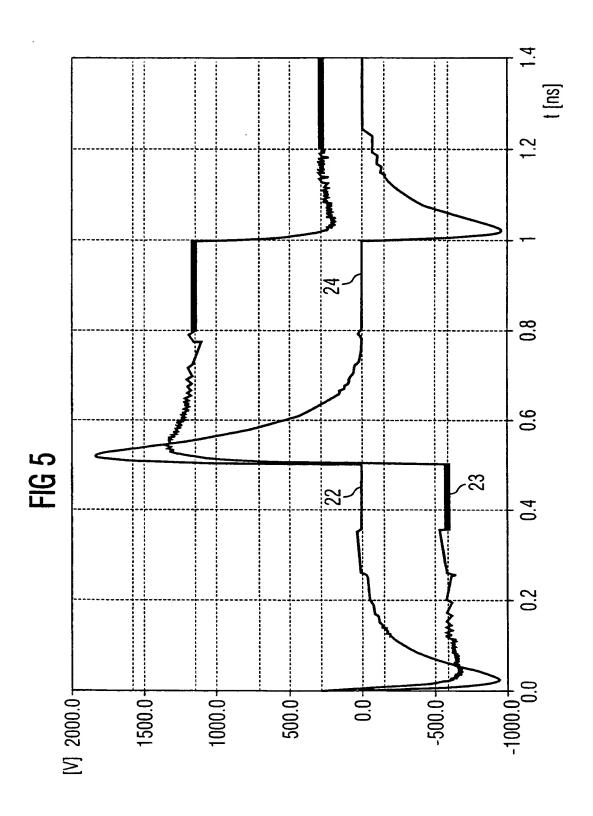


		,	
			} *
			•
	ii.		
¥			•
			ing

4/5

FIG 4





PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts	WEITERES	siehe Mitteilung über di	ie Übermittlung des internationalen ormblatt PCT/ISA/220) sowie, soweit
S0383 SB/ks	VORGEHEN	zutreffend, nachstehen	der Punkt 5
Internationales Aktenzeichen	Internationales Anmelo (Tag/Monat/Jahr)	dedatum	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr)
PCT/DE 00/00021	03/01/2	000	21/01/1999
Anmelder	L	<u>-</u>	
INFINEON TECHNOLOGIES AG et	: a1.		
Dieser internationale Recherchenbericht wurd	e von der Internationale	n Recherchenbehörde er	rstellt und wird dem Anmelder gemäß
Artikel 18 übermittelt. Eine Kopie wird dem Int	ernationalen Bürö überr	nittelt.	
Dieser internationale Recherchenbericht umfa	ißt insgesamt 3	Blätter.	•
_		esem Bericht genannten	Unterlagen zum Stand der Technik bei.
Grundlage des Berichts a. Hinsichtlich der Sprache ist die inter	rnationale Recherche au	if der Grundlage der inter	rnationalen Anmeldung in der Sprache
durchgeführt worden, in der sie eing	ereicht wurde, sofern ur	iter diesem Punkt nichts	anderes angegeben ist.
Die internationale Recherch Anmeldung (Regel 23.1 b))	e ist auf der Grundlage e durchgeführt worden.	einer bei der Behörde ein	ngereichten Übersetzung der internationalen
			Aminosäuresequenz ist die internationale
Recherche auf der Grundlage des S in der internationalen Anmel		-	
zusammen mit der internation	onalen Anmeldung in co	mputerlesbarer Form eing	gereicht worden ist.
bei der Behörde nachträglich	h in schriftlicher Form ei	ngereicht worden ist.	
bei der Behörde nachträglich			
Die Erklärung, daß das nach internationalen Anmeldung i	nträglich eingereichte sc m Anmeldezeitpunkt hir	hriftliche Sequenzprotoko ausgeht, wurde vorgeleg	oll nicht über den Offenbarungsgehalt der gt.
Die Erklärung, daß die in co wurde vorgelegt.	mputerlesbarer Form en	faßten Informationen den	n schriftlichen Sequenzprotokoll entsprechen,
2. Bestimmte Ansprüche hat	en sich als nicht rech	erchlerbar erwiesen (sie	ehe Feld I).
3. Mangelnde Einheitlichkeit	der Erfindung (siehe F	eld II).	
4. Hinsichtlich der Bezelchnung der Erfin	dung		
X wird der vom Anmelder eing	ereichte Wortlaut geneh	ımigt.	
wurde der Wortlaut von der	Behörde wie folgt festge	esetzt:	
5. Hinsichtlich der Zusammenfassung			
wird der vom Anmelder eing	•	•	ng von der Behörde festgesetzt. Der
Anmelder kann der Behörde Recherchenberichts eine St	innerhalb eines Monats	s nach dem Datum der Al	bsendung dieses internationalen
6. Folgende Abbildung der Zelchnungen i	•	sung zu veröffentlichen:	Abb. Nr
X wie vom Anmelder vorgesch		-	X keine der Abb.
weil der Anmelder selbst ke	ine Abbildung vorgeschl	agen hat.	·
weil diese Abbildung die Erf	indung besser kennzeic	hnet.	

INTERNATIONALER CHERCHENBERICHT

onales Aktenzeichen PC1/DE 00/00021

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPĶ 7 H03K5/13 H03L7/099

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H03K H03L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, IBM-TDB

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 396 (E-0970), 27. August 1990 (1990-08-27) -& JP 02 149018 A (NEC ENG LTD), 7. Juni 1990 (1990-06-07)	1,3,4
1	Zusammenfassung; Abbildung 1	2
Y	US 4 864 253 A (ZWACK EDUARD) 5. September 1989 (1989-09-05) Spalte 5, Zeile 37 -Spalte 6, Zeile 16; Abbildung 1	2
	-/	
		·

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen	X Siehe Anhang Patentfamilie
 Besondere Kategorien von angegebenen Veröffentlichungen "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist 	kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist
Datum des Abschlusses der internationalen Recherche 30. Oktober 2000	Absendedatum des internationalen Recherchenberichts 10/11/2000
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Moll, P

INTERNATIONALER CHERCHENBERICHT

onales Aktenzeichen
PCT/DE 00/00021

(ategorie°	ung) ALS WESENTLICH ANGESEHENE UNTERLAGEN Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
<u>.</u>		
	MIHAI BANU: "DESIGN OF HIGH-SPEED, WIDE-BAND MOS OSCILLATORS FOR MONOLITHIC PHASE-LOCKED LOOP APPLICATIONS" PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS,US,NEW YORK, IEEE, Bd. CONF. 21, 7. Juni 1988 (1988-06-07), Seiten 1673-1677, XP000014651 ISBN: 951-721-240-2 Abbildung 2	1,4
(US 5 487 093 A (CLINE ROGER A ET AL) 23. Januar 1996 (1996-01-23) Spalte 5, Zeile 15-47; Abbildung 1	1,4
K	US 5 546 433 A (HENDERSON RICHARD ET AL) 13. August 1996 (1996-08-13) Spalte 4, Zeile 9-40; Abbildung 5	1,4

INTERMINIONAL SEARCH REPORT

n on patent family members

ir onal Application No
PC1/DE 00/00021

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 02149018	Α	07-06-1990	NONE	
US 4864253	A	05-09-1989	AT 100982 T DE 3887486 D EP 0321725 A ES 2048188 T FI 885908 A,B	15-02-1994 10-03-1994 28-06-1989 16-03-1994 23-06-1989
US 5487093	Α	23-01-1996	NONE	
US 5546433	Α	13-08-1996	NONE	



(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eig ntum Internationales Büro



(43) Internationales Veröffentlichungsdatum 27. Juli 2000 (27.07.2000)

PCT

(10) Internationale Veröffentlichungsnummer WO 00/43849 A3

(51) Internationale Patentklassifikation7: H03L 7/099

H03K 5/13.

WERKER, Heinz [DE/DE]; Ringstrasse 10, D-82386 Huglfing (DE).

BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,

(21) Internationales Aktenzeichen:

PCT/DE00/00021

(74) Anwalt: SKUHRA, Udo; Reinhard.Skuhra.Weise & Partner GbR, Friedrichstrasse 31, 80801 München (DE).

(22) Internationales Anmeldedatum:

3. Januar 2000 (03.01.2000)

(81) Bestimmungsstaaten (national): CN, JP, KR, US.

(25) Einreichungssprache:

Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,

(26) Veröffentlichungssprache:

Deutsch

(30) Angaben zur Priorität:

199 02 335.2

21. Januar 1999 (21.01.1999) DE Veröffentlicht:

NL, PT, SE).

Mit internationalem Recherchenbericht.

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-

Martin-Strasse 53, D-81541 München (DE).

(88) Veröffentlichungsdatum des internationalen Recherchenberichts:

31. Mai 2001

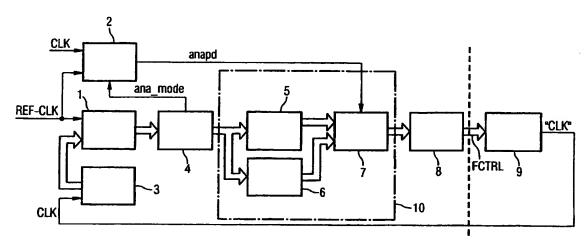
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HART, Siegfried [DE/DE]; Mitterweg 7, D-83620 Kleinhöhenrain (DE).

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(54) Title: ELECTRONIC PHASE-LOCKING LOOP (PLL)

(54) Bezeichnung: ELEKTRONISCHER PHASENREGELKREIS (PLL)



(57) Abstract: The invention relates to an electronic phase-locking loop (PLL) with a digital configuration. A supplementary analogue phase detector (APD) with which the phase error ("jitter") can be damped even more effectively than before is added to said phase-locking loop. The inventive PLL is especially suitable for use as an integrated circuit (IC) in service-integrated communications networks (ISDN), data communications or networks.

(57) Zusammenfassung: Der elektronische Phasenregelkreis (PLL) in digitaler Ausbildung wird durch einen zusätzlichen analogen Phasendetektor (APD) ergänzt, womit sich der Phasenfehler ("Jitter") noch besser als bisher bedämpfen läßt. Der PLL findet insbesondere als integrierte Schaltung (IC) seine Anwendung in dienstintegrierten Kommunikationsnetzen (ISDN), Datenkommunikation oder Netzwerken.



a. classification of subject matter IPC 7 H03K5/13 H03L7/099

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

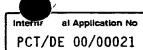
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, IBM-TDB

	Citation of document, with indication, where appropriate, of	the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 014, no. 396 (E-0970), 27 August 1990 (1990-08-27) -& JP 02 149018 A (NEC ENG LT 7 June 1990 (1990-06-07) abstract; figure 1	D),	1,3,4
Υ	abstract, rigare 1		2
Y	US 4 864 253 A (ZWACK EDUARD) 5 September 1989 (1989-09-05) column 5, line 37 -column 6, figure 1		2
χ Fur	ther documents are listed in the continuation of box C.	X Patent family member	s are listed in annex.
	ategories of cited documents : nent defining the general state of the art which is not	cited to understand the pri	ter the international filing date conflict with the application but nciple or theory underlying the
consider con	idered to be of particular relevance document but published on or after the international date ent which may throw doubts on priority claim(s) or is cited to establish the publication date of another on or other special reason (as specified) enter referring to an oral disclosure, use, exhibition or means tent published prior to the international filing date but than the priority date claimed	involve an inventive step w "Y" document of particular relev cannot be considered to in document is combined with	et or cannot be considered to when the document is taken alone when the document is taken alone wance; the claimed invention wolve an inventive step when the hone or more other such docupering obvious to a person skilled
consi "E" earlier filing "L" docum which citatic "O" docum other "P" docum later t	document but published on or after the international date ent which may throw doubts on priority claim(s) or n is cited to establish the publication date of another on or other special reason (as specified) ment referring to an oral disclosure, use, exhibition or means ent published prior to the international filing date but than the priority date claimed	"X" document of particular releverant of the considered novel involve an inventive step we step we step we step we step we step we cannot be considered to indocument is combined with ments, such combination be in the art. "&" document member of the step we step	el or cannot be considered to when the document is taken alone vance; the claimed invention volve an inventive step when the hone or more other such docu- peing obvious to a person skilled ame patent family
consi "E" earlier filing "L" docum which citatic "O" docum other "P" docum later t	document but published on or after the international date ent which may throw doubts on priority claim(s) or n is cited to establish the publication date of another on or other special reason (as specified) nent referring to an oral disclosure, use, exhibition or means nent published prior to the international filing date but than the priority date claimed	"X" document of particular relevious cannot be considered nove involve an inventive step with the comment of particular relevious cannot be considered to indocument is combined with ments, such combination be in the art.	el or cannot be considered to when the document is taken alone vance; the claimed invention volve an inventive step when the hone or more other such docu- peing obvious to a person skilled ame patent family

INTERMIONAL SEARCH REPORT



		PC1/DE 00/00021
	ation) DOCUMENTS CONSIDERED TO BE RELEVANT	
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	MIHAI BANU: "DESIGN OF HIGH-SPEED, WIDE-BAND MOS OSCILLATORS FOR MONOLITHIC PHASE-LOCKED LOOP APPLICATIONS" PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON CIRCUITS AND SYSTEMS,US,NEW YORK, IEEE, vol. CONF. 21, 7 June 1988 (1988-06-07), pages 1673-1677, XP000014651 ISBN: 951-721-240-2 figure 2	1,4
X .	US 5 487 093 A (CLINE ROGER A ET AL) 23 January 1996 (1996-01-23) column 5, line 15-47; figure 1	1,4
X	US 5 546 433 A (HENDERSON RICHARD ET AL) 13 August 1996 (1996-08-13) column 4, line 9-40; figure 5	1,4
		·

INTERNA

NAL SEARCH REPORT

Interns al

n .armation on patent family members

Internal Application No PCT/DE 00/00021

Patent document cited in search report		Publication date	Patent fa member		Publication date
JP 02149018	Α	07-06-1990	NONE		
US 4864253	Α	05-09-1989	DE 388 EP 032 ES 204	00982 T 37486 D 21725 A 48188 T 35908 A,B,	15-02-1994 10-03-1994 28-06-1989 16-03-1994 23-06-1989
US 5487093	A	23-01-1996	NONE		
US 5546433	Α	13-08-1996	NONE		